
中国传媒大学

电子设计竞赛设计报告

题目：基于 FPGA 两段音频均衡器的设计与实现
姓名：徐博源（200810123011）
院系：信息工程学院 电子信息工程系
专业：电子科学与技术
指导教师：卢起斌、杜伟韬

目录

封页.....	1
目录.....	2
一、所选题目.....	3
二、系统方案设计.....	3
三、电路实现及测试.....	3
四、参数选择.....	7
五、系统调试.....	7
六、设计总结.....	13
七、参考文献.....	14

一、参赛题目

基于 FPGA 的二段式数字均衡器设计

二、系统方案设计

1. 实现方案:

本设计是采用数字方式对音频信号进行处理的音频均衡器。声音信号分为左右声道，以右声道为例，串行的模拟音频信号（20Hz~20KHz）经过音频 ADC 电路的采样转换进入 FPGA 内部，通过串并转换模块后由高通和低通滤波器将已采样的音频信号的高频和低频成份分开，再分别由相应的增益控制模块控制其增益衰减程度，最后两路已处理过的数字信号通过一个加法器合并成为一路并行信号，通过并串转换模块后送入音频 DAC 电路，最终输出模拟音频信号。

2. 系统框图:

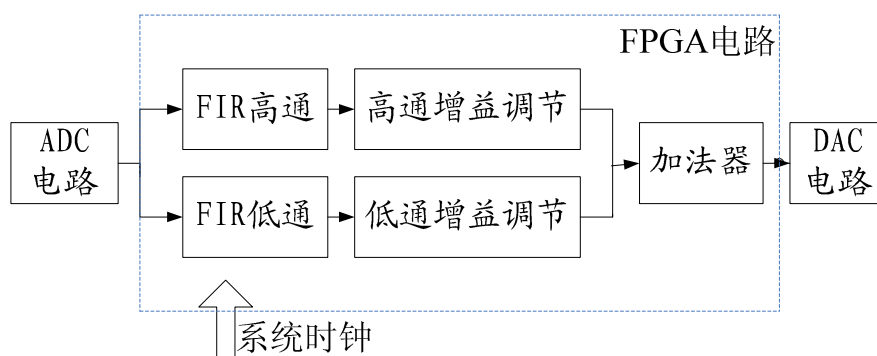


图 2-1 系统方案框图

三、电路实现及测试

1. 硬件电路:

本设计方案的外围硬件电路包括 DAC 和 ADC 电路，分别由芯片 CS5341 和 CS4334 及外围电路，经手工搭建焊接完成，电路原理图分别如图 3-1-1、3-1-2 所示:

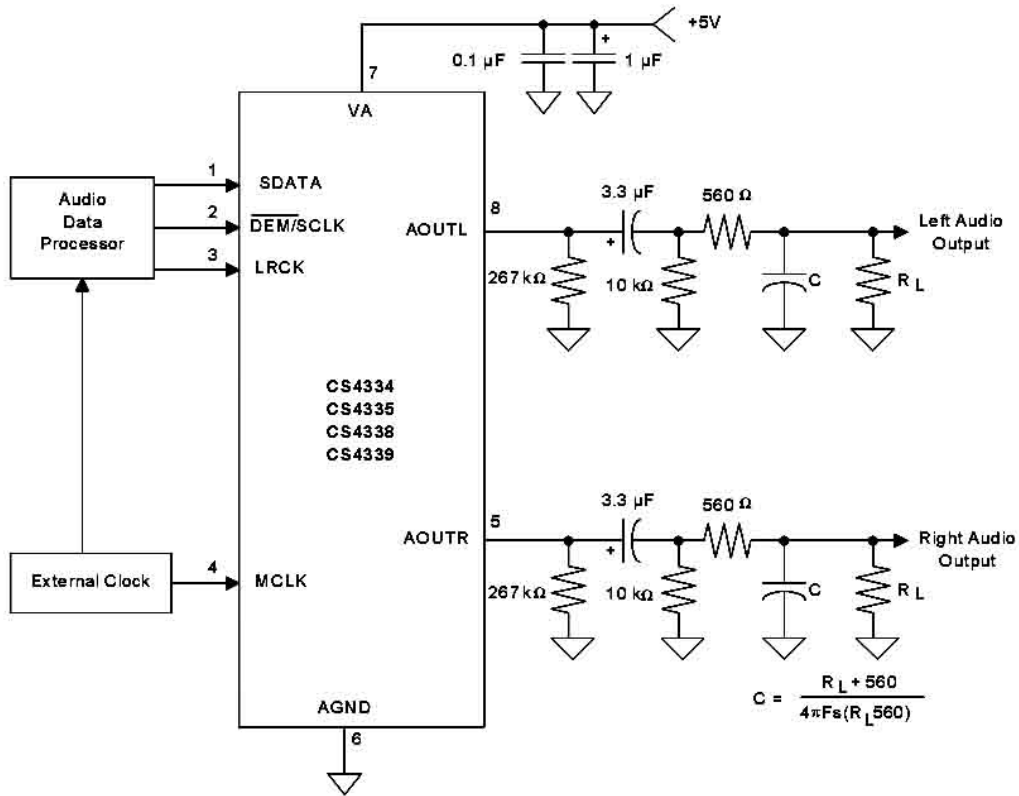


图 3-1-1 DAC 电路

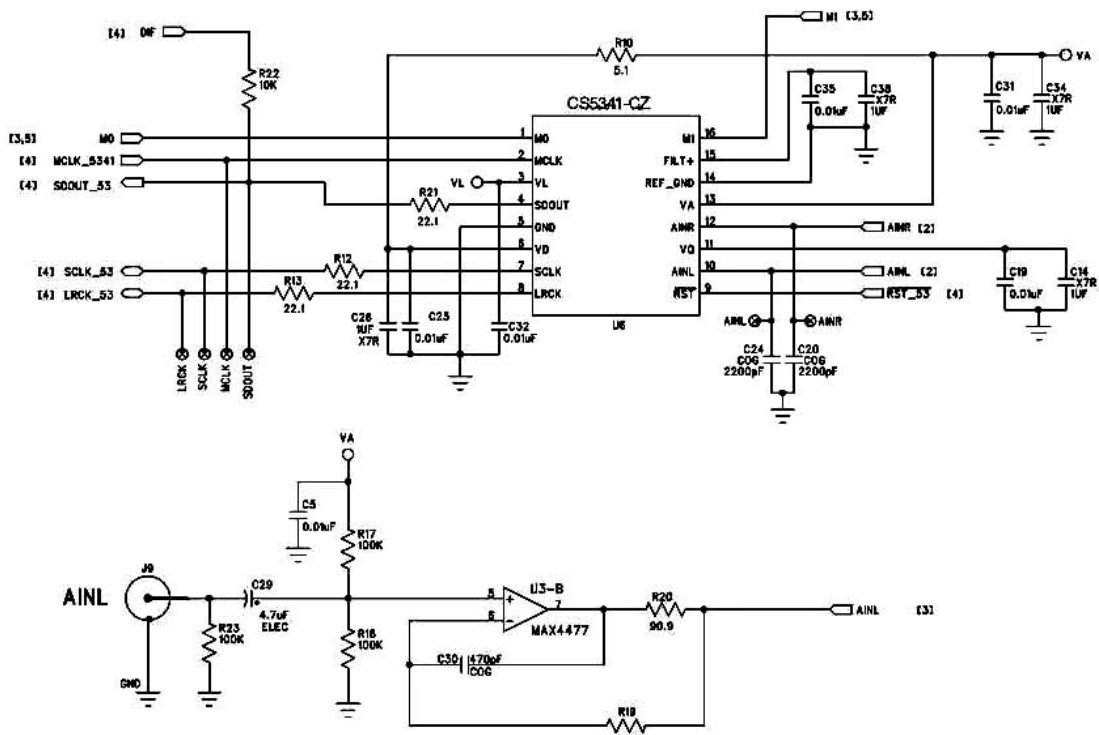


图 3-1-2 ADC 电路

电路板焊接时需要注意到去耦电容的焊接位置，电容距离芯片太远会对滤波效果

有直接影响；还需要注意的是复位电路的可靠性等问题。此外，对于芯片管脚的焊接要保证不虚焊、漏焊。

焊接电路板实物如图 3-2 所示：

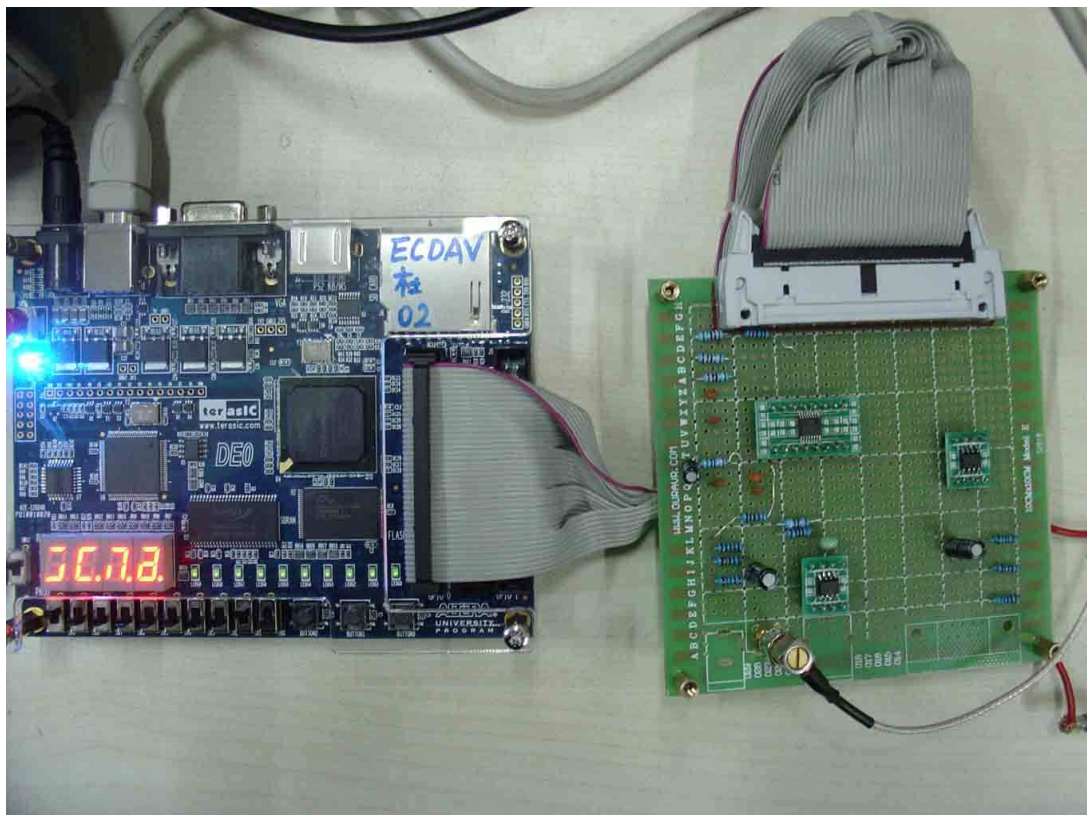


图 3-2 电路系统及焊接实物图

2. 软件模块：

(1) 滤波器：

高通和低通滤波器电路模块由 FIR 滤波器电路编译器自动生成，需要注意的是滤波器阶数的取值对其性能的影响。此外，设置恰当的频率分界点对电路滤波效果以及系统电路性能也有很大影响，本设计中采用高通频带为 4KHz 以上，低通频率范围在 $0 \sim 4\text{KHz}$ 。图 3-3-1、3-3-2 为所生成的高通、低通滤波器的归一化幅频特性仿真结果。

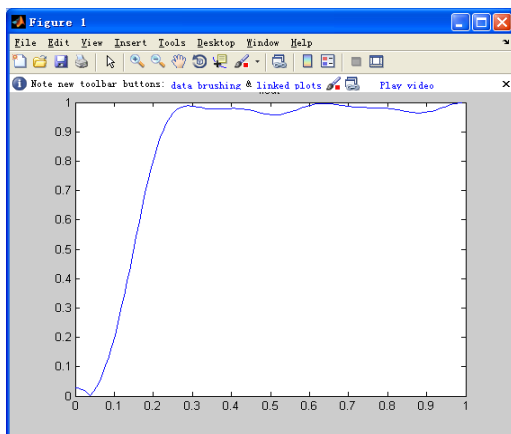


图 3-3-1 高通滤波器仿真结果

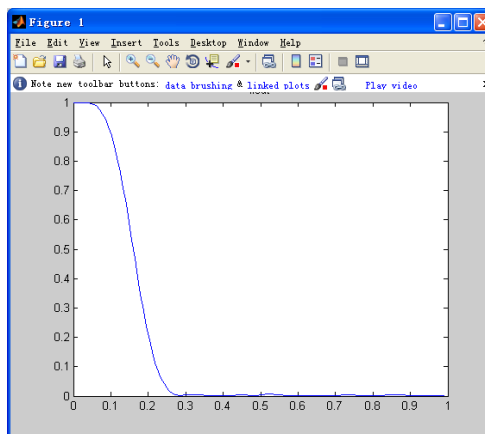


图 3-3-2 低通滤波器仿真结果

(2) 工作时钟:

本数字系统电路模块内部时钟同步，但系统内不同功能模块之间采用不同的工作频率，不同的工作时钟可以通过对 FPGA 内部晶振提供的 50MHz 系统时钟进行分频得到。本设计中串行数据时钟近似为 48KHz，并行数据时钟近似 3.072MHz，DAC 和 ADC 接口模块的时钟近似为 12.288MHz、滤波器的工作时钟近似为 1.536MHz。

(3) 接口模块:

由于 FPGA 内部电路模块的端口是并行的，而 ADC 输入的音频信号则是串行信号，因此需要对其进行串并转换，同理，在输出端需要做并串的处理。接口电路模块设计需要与 ADC、DAC 芯片的时序相匹配。图 3-4-1、3-4-2 为 AD、DA 接口模块的时序对比仿真结果。

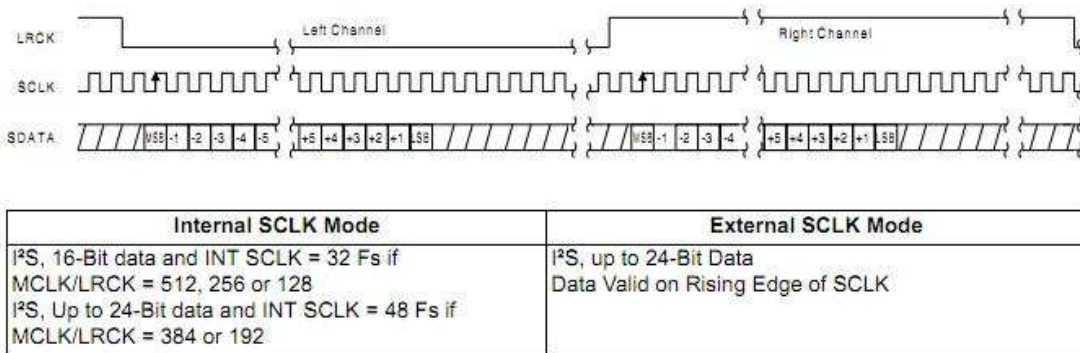


Figure 10. CS4334 Data Format (I²S)

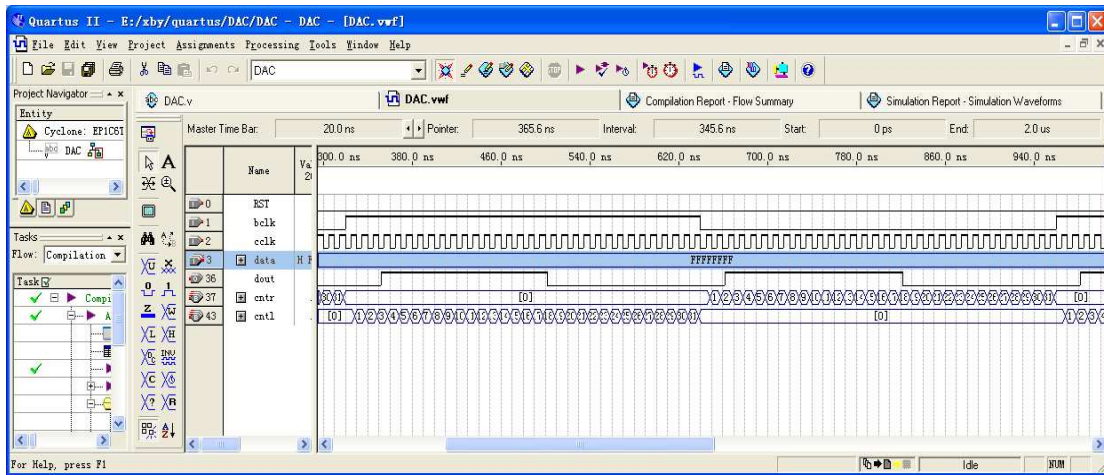


图 3-4-1 DA 接口时序对比

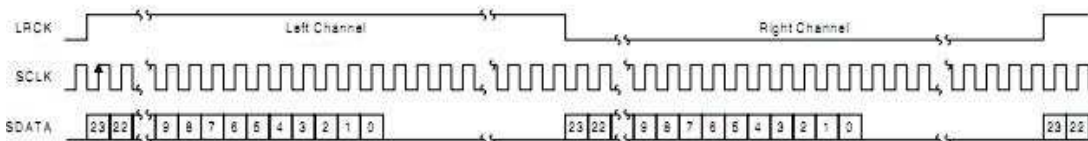


Figure 20. Left-Justified Serial Audio Interface

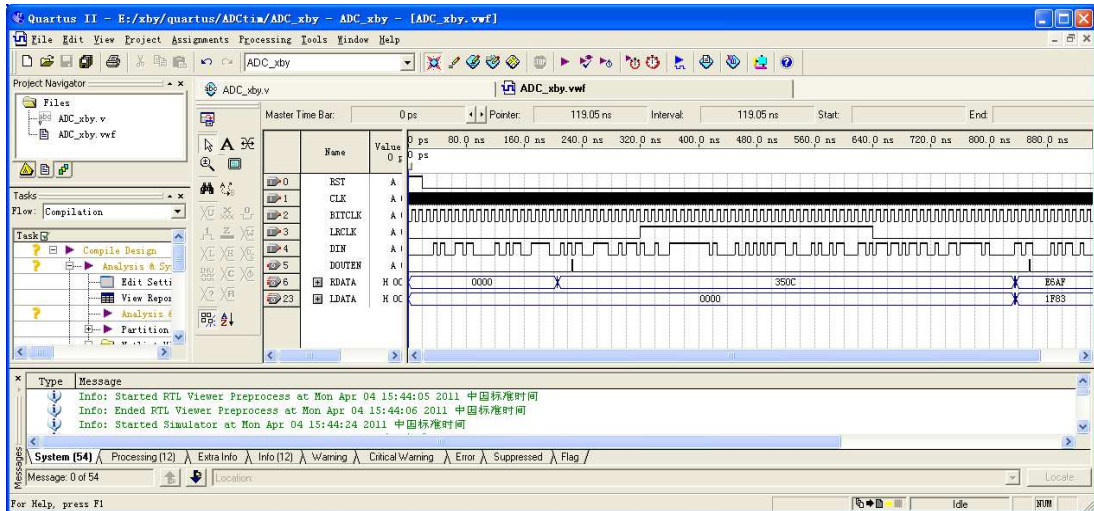


图 3-4-2 AD 接口时序图对比

(4) 增益控制模块：

数字运算中右/左移一位相当于原数据乘/除以 2，因此可以采用简单的移位运算的方式来实现对数字信号幅度的增益衰减控制，以降低设计的复杂程度。本设计中，信号在经过高通、低通滤波器处理后输出，分别由一个移位运算模块来进行幅度调节以实现高频、低频成分音量增益控制。需要注意的是对数字位左移后是否溢出的判断及处理，以保证信号增益调节的正确性。

四、参数选择

- 系统采样率：48KHz；
- ADC 接口电路并行数据位宽：16；
- DAC 接口电路并行数据位宽：16；
- 滤波器输入、输出位宽：16、21；
- 滤波器阶数：低通：32、高通：31；
- 低通滤波器截止频率：4kHz；
- 高通滤波器截止频率：4kHz；

五、系统调试

1. 系统调试方案：

本设计的调试过程按照由局部到整体的方式进行，即首先要分别调试 ADC 和 DAC 硬件电路模块，确保其工作正常，调试过程中要注意有符号数和无符号数的转换；其次可将 DAC 和 ADC 连接组成直通电路，通过加入正弦信号作为激励，测试整个电路各模块接口是否匹配，情况正常则可在示波器上观测到经过直通电路的正弦信号；之后再加入高通、低通滤波器模块对整个电路系统的功能与性能进行调试和验证，最终完成全部调试工作。

2. 电路调试过程：

(1) DAC 电路调试：

可在 FPGA 内部设置一个 DDS 软核，出一个正弦信号作为 DAC 电路的激励，测试时仍以右声道为例，需要注意的是 DDS 模块输出的是无符号数，需要将该信号转换为有符号数再送入 DAC 电路处理。电路结构如图 5-2-1 所示，图 5-2-2 是最终由示波器观测到的模拟正弦信号，表明 DDS 输出的并行数字信号经串并转换和数模转换，获得了预期的模拟正弦信号。

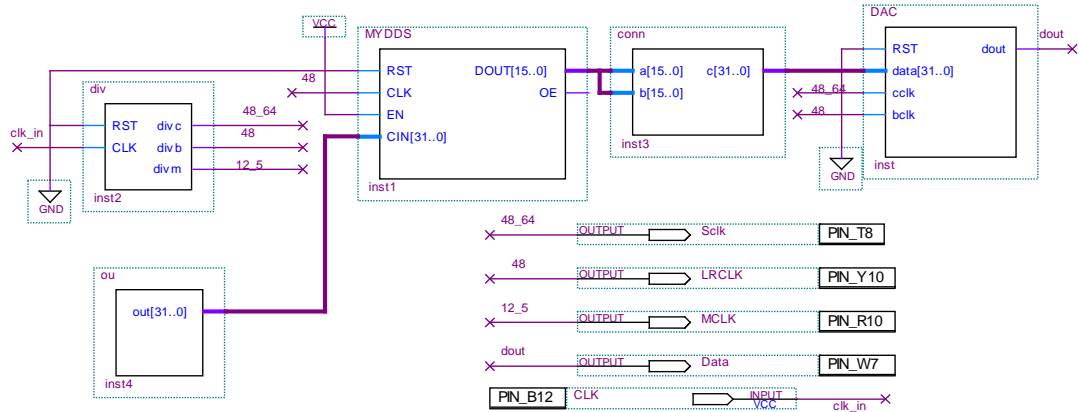


图 5-1-1 DAC 测试电路结构

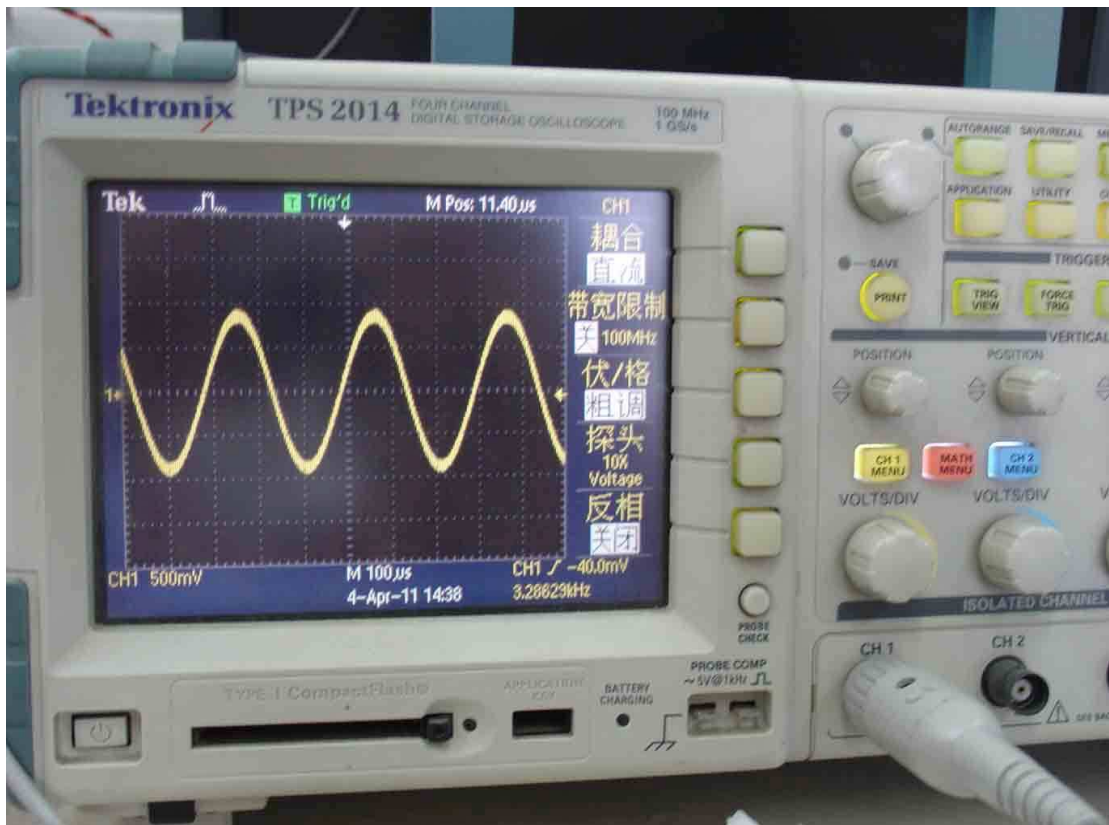


图 5-1-2 示波器观测到 DAC 电路输出的正弦信号

(2) ADC 电路调试:

由信号源提供频率为 2KHz 的正弦信号，经过 ADC 电路采样转换后送入串并转换模块，由软件逻辑分析工具 SignalTap II 检测其输出。测试电路结构如图 5-1-1 所示，接口模块电路输出信号由 SignalTap II 采样得到的并行正弦信号如图 5-1-2 所示，表明 ADC 电路可以将模拟正弦信号进行模数转换输出正确的并

行信号。

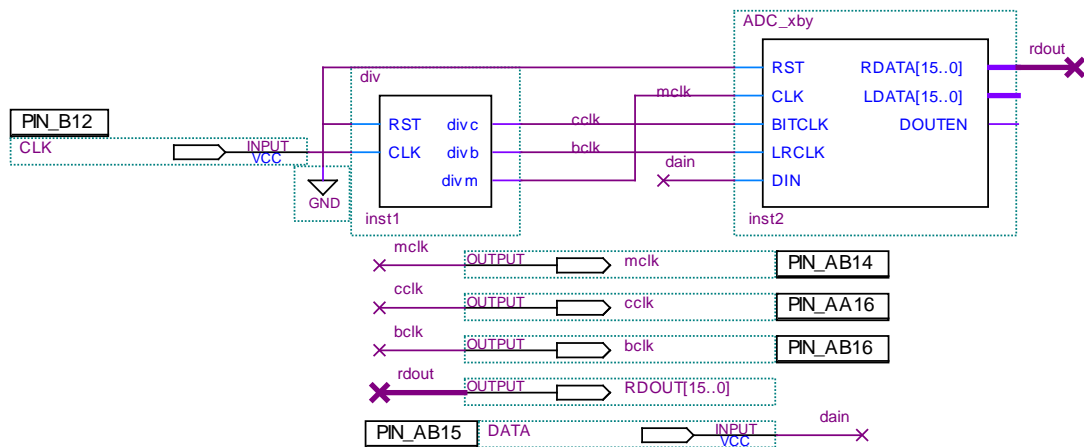


图 5-2-1 ADC 测试电路结构

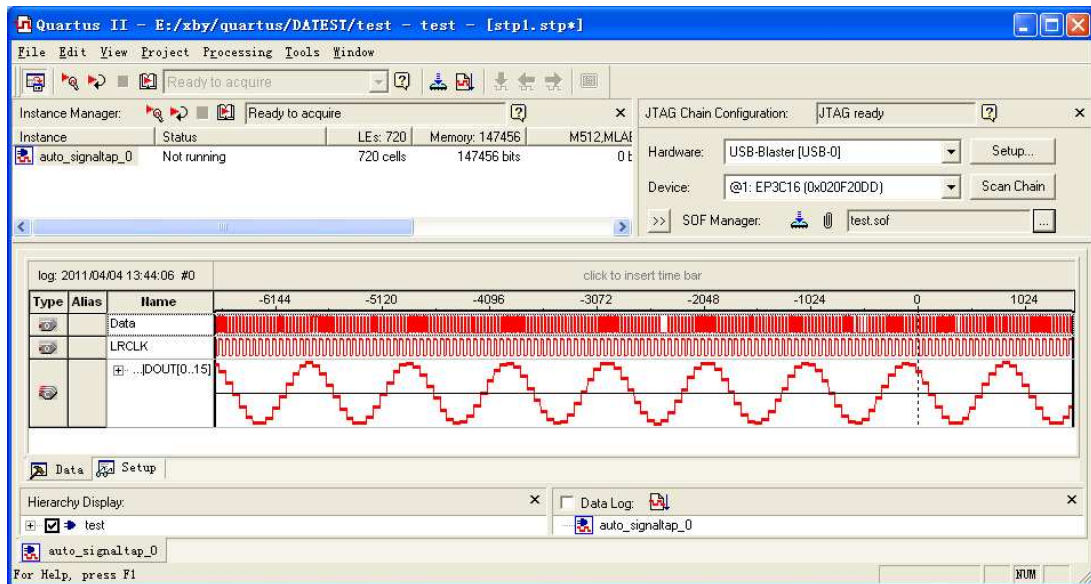


图 5-2-2 ADC 电路测试结果

(3) 系统调试：

在 ADC、DAC 模块都测试通过后，分别加入高通、低通滤波器电路模块组成完整的电路系统，电路 RTL 图如图 5-3-1 所示。

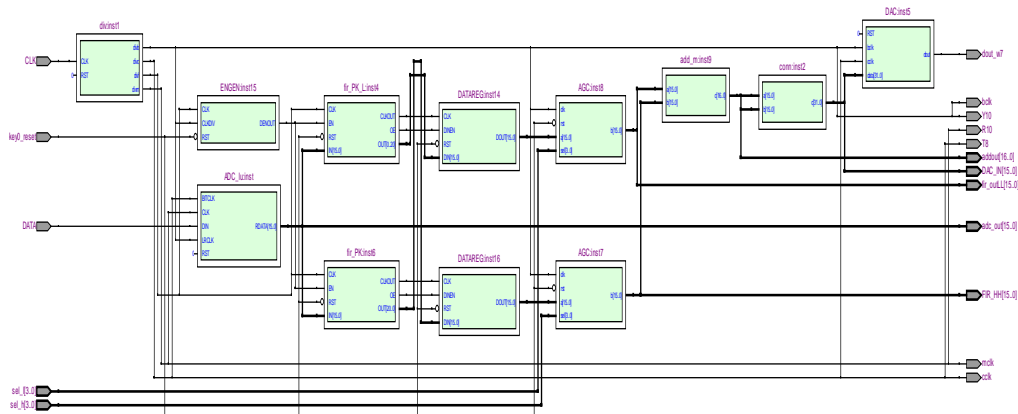


图 5-3-1 系统调试电路 RTL

分别关闭低通和高通滤波器后输出波形在 SignalTap II 中采样得到对比结果如图 5-3-2 (1、2) 所示；白噪声信号通过本系统处理前后在频域上对比结果如图 5-3-3 (1、2、3、4、5) 所示。表明高通、低通滤波器可以对音频信号进行正确处理。最后可以通过分别控制高通、低通增益控制模块来改变信号中高、低频成份的比例，达到频率均衡的目的。



图 5-3-2 (1) 开启低通滤波器时域波形结果



图 5-3-2 (2) 开启高通滤波器时域波形结果

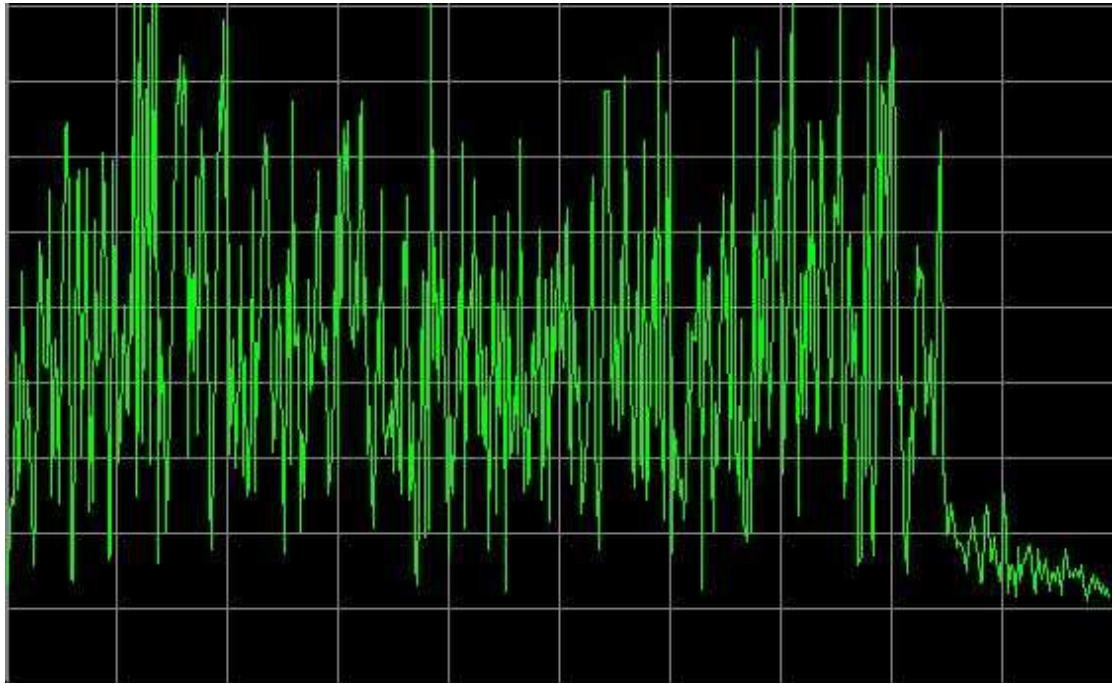


图 5-3-3 (1) 白噪频谱
(横坐标每格 2205Hz, 纵坐标每格 100mV)



图 5-3-3 (2) 仅开启低通滤波器后白噪频谱
(横坐标每格 2205Hz, 纵坐标每格 100mV)

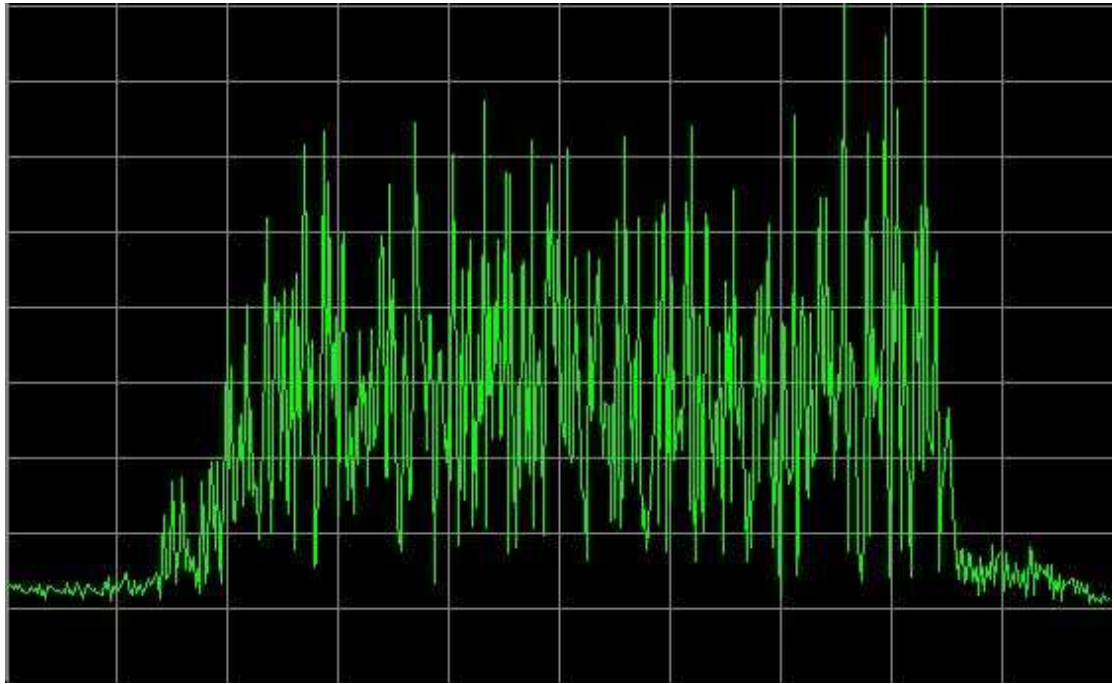


图 5-3-3 (3) 仅开启高通滤波器后白噪频谱
(横坐标每格 2205Hz, 纵坐标每格 100mV)

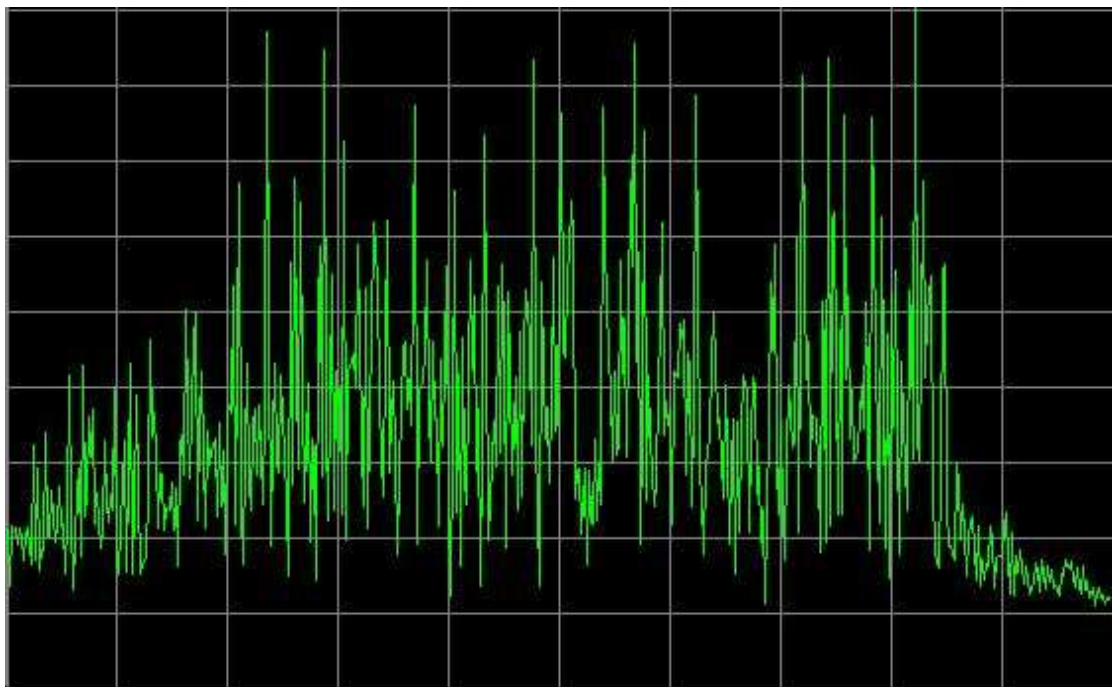


图 5-3-3 (4) 低通衰减大于高通时白噪频谱
(横坐标每格 2205Hz, 纵坐标每格 100mV)

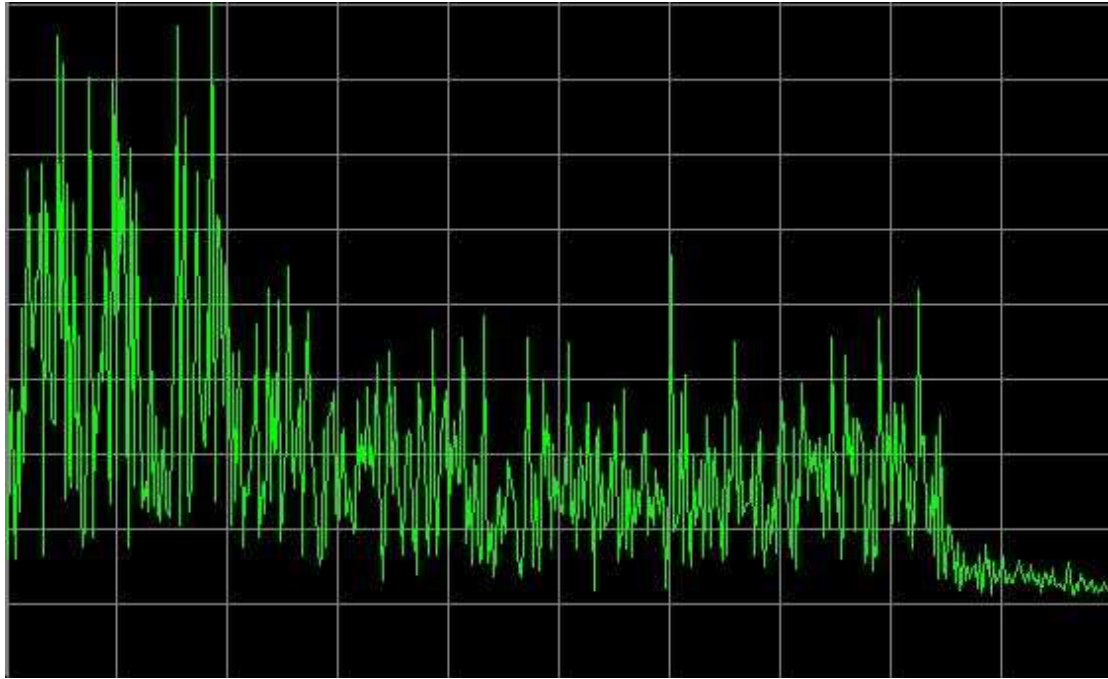


图 5-3-3 (5) 高通衰减大于低通时白噪频谱
(横坐标每格 2205Hz, 纵坐标每格 100mV)

六、设计总结

1. 系统调试结果:

滤波器输出信号在 SignalTap II 中采样结果可以看出 FPGA 内部电路模块对音频信号处理的效果,同时在示波器上也可以直接观测到改变高通、低通增益控制后得到的最终信号波形;当电路输入端接入歌曲信号时,分别调节高频、低频增益可以直观感受到声音中高频、低频成分的比重差别。至此,音频均衡器的功能基本得以实现。

2. 设计总结:

通过本均衡器电路系统设计,初步了解数字系统对信号处理的基本流程和简单数字系统的设计方法,基本掌握了数模混合电路的设计和调试方法;初步了解了软硬件联合调试的思想和方法;学会了阅读芯片的数据手册等等。

感谢数字化工程中心举办这次校内竞赛,并给我们提供了良好的实验环境;感谢卢起斌、杜伟韬等老师的耐心指导。

七、参考文献

- [1]. Cirrus Logic. CS4334/5/8/9 Product Data Sheet 3/2008, DS248F5.
- [2]. Cirrus Logic. CDB4334/8/9 Evaluation Board Data Sheet 8/1998, DS248DB2.
- [3]. Cirrus Logic. CS5341 Evaluation Board Data Sheet 3/2003, DS564DB1
- [4]. Cirrus Logic. CS5341 Product Data Sheet 4/2006, DS608F1.
- [5]. 杜伟韬 基于FPGA芯片的FIR滤波器电路设计.
- [6]. Verilog HDL 数字设计与综合 夏宇闻 电子工业出版社 2009-07.